

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-000470

(43)Date of publication of application : 05.01.1989

(51)Int.Cl.

G01P 3/489

(21)Application number : 62-154527

(71)Applicant : YAZAKI CORP

(22)Date of filing : 23.06.1987

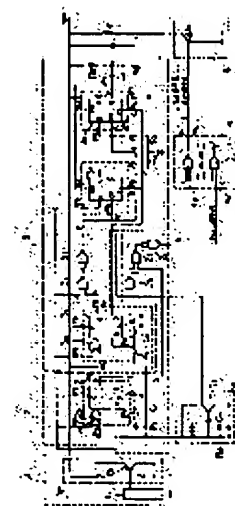
(72)Inventor : HAGIWARA SHIGERU

## (54) SPEED DETECTING CIRCUIT

(57)Abstract:

PURPOSE: To improve the accuracy of speed detection by contrasting the pulse period of the pulse signal train from a means for detecting number of revolutions with a 1st reference pulse period and 2nd reference pulse period having shorter period than said period and outputting a discrimination signal.

CONSTITUTION: The number of revolutions of an axle is detected by the means 1 for detecting the number of revolutions and the pulse signal train corresponding thereto is outputted to a means 2 for detecting the 1st pulse period and a means 3 for detecting the 2nd pulse period. The 2nd reference pulse period T2 of the means 3 for detecting the 2nd pulse period is set shorter than the 1st reference pulse period T1 of the means 2 for detecting the 1st pulse period. The pulse period T of the pulse signal train is contrasted with the 1st and 2nd pulse periods T1, T2 and the detection signal thereof is outputted to a means 4 for outputting the discrimination signal. The pulse period T is compared with the 2nd pulse period T2 during the increase of the speed and is compared with the 1st pulse period T1 during the deceleration. A running signal A (discrimination signal) is then outputted to a speed display device. Since the pulse period T is discriminated by comparison with the 1st and 2nd pulse periods T1, T2, the accuracy of the speed detection is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)                      ⑩ 特許出願公開

⑫ 公開特許公報(A)                      昭64-470

⑪ Int.Cl.<sup>4</sup>                      識別記号                      庁内整理番号                      ⑬ 公開    昭和64年(1989)1月5日

G 01 P    3/489                      R-6818-2F

審査請求    未請求    発明の数 1    (全9頁)

⑭ 発明の名称    速度検出回路

⑮ 特    願    昭62-154527

⑯ 出    願    昭62(1987)6月23日

⑰ 発 明 者    萩   原                      茂    静岡県島田市横井1-7-1

⑱ 出 願 人    矢崎総業株式会社    東京都港区三田1丁目4番28号

㉑ 代 理 人    弁理士 滝野   秀雄

明                      細                      書

1. 発明の名称

速度検出回路

2. 特許請求の範囲

回転体の回転数に対応した周波数のパルス信号列を得る回転数検出手段と、

該回転数検出手段からのパルス信号列を入力し該パルス信号列のパルス期間と第1の基準パルス期間及び該第1の基準パルス期間より短い第2の基準パルス期間とを対比してその検出信号を各々出力する第1及び第2のパルス期間検出手段と、

該第1及び第2のパルス期間検出手段の各検出信号を入力し該検出信号によって前記パルス信号列の第1及び第2の基準パルス期間に対応した周波数における判別信号を出力する判別信号出力手段とを備え、

前記判別信号出力手段は前記第1及び第2のパルス期間検出手段からの各検出信号によって、その判別信号にヒステリシスを持たせるようにしたことを特徴とする速度検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は車両等の速度を検出し、所定の基準速度と比較して、その判別信号を出力する速度検出回路に関する。

(従来の技術)

従来の速度検出回路は例えば第5図の如く構成される。同図は自動車の低速度運行記録計の構成を示し、車軸回転検出器8、必要に応じてコンデンサC<sub>0</sub>、抵抗R<sub>0</sub>による微分回路を含む波形整形回路9、抵抗R<sub>10</sub>、コンデンサC<sub>0</sub>による積分回路から成るI-V変換回路10、及びコンプレータCP<sub>1</sub>を含む比較回路11が直列に接続された構成を有している。

比較回路11はコンプレータCP<sub>1</sub>を含み、該コンプレータCP<sub>1</sub>の正転入力には抵抗R<sub>11</sub>を介してI-V変換回路10の出力に接続されると共に、抵抗R<sub>12</sub>を介して電源V<sub>cc</sub>に接続される。また反転入力には基準電圧V<sub>0</sub>が印加され、抵抗R<sub>13</sub>を介して接地される。更に出力と正転入力間に抵抗

## 特開昭 64-470(2)

$R_{11}$ が接続されている。このコンパレータCP<sub>1</sub>の出力には駆動トランジスタQ<sub>1</sub>のベースが接続され、そのコレクタ出力には記録チャート作成用の電磁コイル12が接続されている。

斯かる構成において、車軸回転検出器8からは車両の走行に伴ってその車軸の回転を検知して得られるその周波数が車速に比例した速度信号f<sub>1</sub>が発せられる。

この速度信号f<sub>1</sub>は波形整形回路9に入力として与えられ、コンデンサC<sub>1</sub>、抵抗R<sub>1</sub>の微分回路で微分されて得られる微分信号f<sub>2</sub>を経て波形整形回路9に入力される。よってその出力としてはf<sub>2</sub>の繰り返し周波数による車速に比例した整形速度信号(パルス信号)f<sub>2</sub>が得られる。

このようにして得られた整形速度信号f<sub>2</sub>は次いでf-V変換回路10に入力として与えられ積分コンデンサC<sub>2</sub>の両端子間に印加される。すでに述べたように波形整形回路9の出力としての整形速度信号f<sub>2</sub>はその繰り返し周波数、即ち単位時間に発せられるパルス数が車速に比例している。

従って、出力信号V<sub>1</sub>が発生したときに駆動トランジスタQ<sub>1</sub>をオンにし、電磁コイル12を駆動することにより記録チャート紙に最低車両速度以上の車両速度における走行記録を行なわせることができる。

尚、抵抗R<sub>11</sub>はf-V変換回路10の出力電圧V<sub>1</sub>に生じるリップル成分により比較回路11の出力電圧V<sub>2</sub>が発振することを防止するために接続されている。即ち、該抵抗R<sub>11</sub>により入力電圧V<sub>1</sub>に対する出力電圧V<sub>2</sub>の出力特性にヒステリシスを持たせ、出力電圧V<sub>2</sub>の発振を防止している。

この場合に使用する記録用紙としては、例えば第6図に示すようなものが用いられる。これは中心から直径方向に車速が目盛りられ、対応する車速の位置において円周方向に時間が目盛りされたものである。

ここで車両の最低車両速度以上の走行が行われると比較回路11の出力端に接続された記録計のペンが駆動しこの記録紙面上を走査して車両の走

行状態の記録が第6図に描かれた図形のように表示される。

この変換コンデンサC<sub>2</sub>で得られた車速に比例する電圧V<sub>1</sub>が抵抗R<sub>11</sub>を介して比較回路11のコンパレータCP<sub>1</sub>の正転入力端子i<sub>n1</sub>に与えられる。又コンパレータCP<sub>1</sub>の反転入力端子i<sub>n2</sub>には設定抵抗R<sub>12</sub>で定められる基準電圧V<sub>2</sub>が与えられる。この基準電圧V<sub>2</sub>は検知を希望する最低車両速度、例えば1~3 km/hの車速に対応した電圧値に設定される。

コンパレータCP<sub>1</sub>の出力端子o<sub>ut1</sub>に得られる電圧V<sub>2</sub>はV<sub>1</sub>がV<sub>2</sub>を越えると一定の高レベルとなりV<sub>2</sub>がV<sub>1</sub>以下で一定の低レベルになるように設定されている。従って最低車両速度に対応する基準電圧V<sub>2</sub>を適当に設定しておくことにより、所定の基準電圧V<sub>2</sub>以上の車両速度がある場合には比較回路11(コンパレータCP<sub>1</sub>)の出力端子o<sub>ut1</sub>に所定の出力信号V<sub>2</sub>を得ることが出来る。

行状態の記録が第6図に描かれた図形のように表示される。

(発明が解決しようとする問題点)

斯かる従来の回路にあっては、車両が1 km/h ~ 3 km/hの低速走行速度のとき、電圧V<sub>1</sub>のリップル成分が大きいために、抵抗R<sub>11</sub>による比較回路11のオン、オフ動作点のヒステリシスを大きくする必要がある。ところが出力特性にヒステリシスを持たせ、該ヒステリシスをあまり大きくすると速度検出精度が悪化する。一方、このリップル成分を小さくするには、積分コンデンサC<sub>2</sub>の容量を大きくすればよいが、応答性が悪化してしまう。またf-V変換回路10のわずかな出力電圧のために回転が停止した速度ゼロの状態にあっても超低周波数信号が発生し、検出速度を積算する用途に適用する場合には適当でない。

(問題点を解決するための手段)

上記問題点を解決するため本発明によりなされた速度検出回路は、回転体の回転数に対応した周波数のパルス信号列を得る回転数検出手段と、該

## 特開昭64-470(3)

回転数検出手段からのパルス信号列を入力し該パルス信号列のパルス期間と第1の基準パルス期間及び該第1の基準パルス期間より短い第2の基準パルス期間とを対比してその検出信号を各々出力する第1及び第2のパルス期間検出手段と、該第1及び第2のパルス期間検出手段の各検出信号を入力し該検出信号によって前記パルス信号列の第1及び第2の基準パルス期間に対応した周波数における判別信号を出力する判別信号出力手段とを備え、前記判別信号出力手段は前記第1及び第2のパルス期間検出手段からの各検出信号によって、その判別信号にヒステリシスを持たせるようにしたものである。

## (作 用)

上記構成において、回転数検出手段からは回転体の回転速度に対応した周波数のパルス信号列が出力され、回転数に応じてパルス期間が変化するパルス信号列を得る。このパルス信号列は第1及び第2のパルス期間検出手段に入力され、各々に設定されている第1の基準パルス期間及び第2の

基準パルス期間と比較される。このとき第2の基準パルス期間は第1の基準パルス期間より短く設定されている。従って、パルス信号列のパルス期間が短くなったとき、即ち回転体の速度が速くなったときに、まず第1のパルス期間検出手段から基準パルス期間に対応する基準速度より速くなったことを示す検出信号を出力する。更に速度が速くなりパルス信号列のパルス期間が短くなると第2のパルス期間検出手段から基準パルス期間に対応する基準速度より速くなったことを示す検出信号を出力する。判別信号出力手段では各検出信号を入力し、回転体の速度が上昇する方向にあるとき、第1のパルス期間検出手段の検出信号によりパルス信号列が第2の基準パルス期間となったときに判別信号を出力する。

また回転手段の速度が減速される方向にあるとき、判別信号出力手段は第1のパルス期間検出手段の検出信号によりパルス信号列が第1の基準パルス期間となったときに判別信号を出力する。

即ち、判別信号出力手段から出力される判別信

号はヒステリシスを持つことになる。

## (実施例)

以下本発明の実施例を図と共に説明する。

第1図は第5図の従来例と同様に車両の低速度運行記録計に適用したものである。回転数検出手段1は回転センサ1、とトランジスタQ<sub>1</sub>を含む波形整形回路1<sub>1</sub>から構成される。回転センサ1はピックアップコイルやフォトカプラ等から構成され車軸の回転を検出する。波形整形回路1<sub>1</sub>は回転センサ1<sub>1</sub>の出力を波形整形し、第2図(a)に示す如く回転数に対応した周波数のパルス信号列を出力する。該パルス信号列は図のように速度が上昇するとパルス期間が短くなるものである。

第1のパルス期間検出手段2は単安定マルチバイブレータ(以下OSMという)2<sub>1</sub>及びNAND回路2<sub>2</sub>乃至2<sub>3</sub>、OR回路2<sub>4</sub>から構成される。OSM2<sub>1</sub>の端子P<sub>1</sub>には反転した後OR回路2<sub>2</sub>を介して波形整形回路1<sub>1</sub>の出力が入力され、端子P<sub>2</sub>は電源V<sub>cc</sub>が供給される。また端子P<sub>3</sub>、P<sub>4</sub>には抵抗R<sub>1</sub>、コンデンサC<sub>1</sub>が直列

接続され、端子P<sub>5</sub>の出力QがNAND回路2<sub>5</sub>に入力される。NAND回路2<sub>5</sub>の出力はインバータ構成のNAND回路2<sub>6</sub>に入力され、その出力がリセット信号Rとなる。また端子P<sub>6</sub>にはOR回路2<sub>7</sub>を介して電源V<sub>cc</sub>が供給される。

第2のパルス期間検出手段3はOSM3<sub>1</sub>、NAND回路3<sub>2</sub>、3<sub>3</sub>及び2つのDタイプフリップフロップ(以下DFFという)3<sub>4</sub>、3<sub>5</sub>、OR回路3<sub>6</sub>から構成される。OSM3<sub>1</sub>の端子P<sub>1</sub>及びP<sub>2</sub>はOSM2<sub>1</sub>と同様に電源及び反転した後OR回路3<sub>2</sub>を介して波形整形回路1<sub>1</sub>の出力に接続され、端子P<sub>3</sub>はOR回路3<sub>3</sub>を介して電源に接続される。更に端子P<sub>4</sub>、P<sub>5</sub>には抵抗R<sub>2</sub>、コンデンサC<sub>2</sub>の直列回路が接続される。また端子P<sub>6</sub>の出力QはNAND回路3<sub>4</sub>に入力され、その出力がインバータ構成のNAND回路3<sub>5</sub>を介して各DFF3<sub>4</sub>、3<sub>5</sub>の端子P<sub>1</sub>(クロック入力CP)に入力される。NAND回路3<sub>6</sub>の一方の入力は波形整形回路1<sub>1</sub>の出力に接続される。またDFF3<sub>4</sub>の端子P<sub>2</sub>(データ入力D)は電

## 特開昭 64-470 (4)

源  $V_{cc}$  に接続され、端子  $P_1$  の出力  $Q$  は抵抗  $R_1$ 、 $R_2$  を介して DFF 3、の端子  $P_1$  (データ入力  $D$ ) に入力される。DFF 3、の各端子  $P_1$  (クリア入力  $CL$ ) は OSM 3、の端子  $P_1$  の出力  $Q$  に接続され、各端子  $P_1$  (プリセット入力  $PR$ ) は接地される。また DFF 3、の端子  $P_1$  (出力  $Q$ ) からはコンデンサ  $C_1$ 、抵抗  $R_1$  を通してセット信号  $S$  を出力する。またコンデンサ  $C_1$  と抵抗  $R_1$  との接続点は抵抗  $R_1$  を介して電源  $V_{cc}$  に接続される。

判別信号出力手段 4 は NAND 回路 4、の 4、から構成される RS フリップフロップ (以下 RSFF という) 4、より成り、NAND 回路 2、の出力であるリセット信号  $R$  が RSFF 4、の NAND 回路 4、の端子  $P_1$  (リセット入力  $RS$ ) に入力され、コンデンサ  $C_1$  からのセット信号  $S$  は NAND 回路 4、の端子  $P_1$  (セット入力  $S$ ) に入力される。

5 はトランジスタ  $Q_1$ 、及び抵抗  $R_1$ 、 $R_2$ 、コンデンサ  $C_1$  から成る電源オンリセット回路であ

り、トランジスタ  $Q_1$  のコレクタ及びベースは電源  $V_{cc}$  に接続されると共に、そのコレクタ出力が波形整形回路 1、の出力及びインバート構成の NAND 回路 2、の入力に各々接続される。また NAND 回路 2、の出力は NAND 回路 2、の一方の入力に接続されている。

6 はトランジスタ  $Q_2$  から成る駆動回路であり、そのベース入力 RSFF 4、の端子  $P_1$  である走行信号  $A$  が入力される。

7 は駆動回路 6 によって駆動される電磁コイルであり、駆動時に走行記録を第 6 図のチャート紙に記録するように動作する。

次に、OSM 2、の 3、の基本動作について第 3 図 (a) 乃至 (e) に示すタイミングチャートと共に説明する。端子  $P_1$  が第 3 図 (a) の如く H レベルにあるとき、同図 (a) に示す端子  $P_1$  に印加される入力パルスの立上りエッジ、又は同図 (b) に示す端子  $P_1$  に印加される入力パルスの立下りエッジにより同図 (c) の如く端子  $P_1$  (出力  $Q$ ) に所定期間  $T$  の時間幅で矩形波信号が出力される。該所定期間  $T$  は

端子  $P_1$ 、 $P_2$  に接続された抵抗  $R$  とコンデンサ  $C$  の時定数  $RC$  によって設定され、 $T = RC$  となる。このとき端子  $P_1$  は同図 (d) に示すように、前記入力パルスにより放電した後  $RC$  の時定数で充電される。出力  $Q$  はこの放電時に立上り、端子  $P_1$  が所定レベルまで立上ったときに立下るように動作し矩形波信号が出力される。入力パルスの期間 (時間幅) が同図 (e) の  $t$  に示すように出力期間  $T$  より短かいとき、出力  $Q$  は最後の入力パルスの立上りから期間  $T$  まで矩形波信号を出力する。ここで第 1 図における OSM 3、に接続された抵抗  $R_1$ 、コンデンサ  $C_1$  の時定数  $T_1$  ( $R_1$ 、 $C_1$ ) は、OSM 2、の時定数  $T$  ( $R$ 、 $C$ ) より小さく設定する。

また DFF 3、の 3、は第 4 図の真理値に示す如く、端子  $P_1$  のクロック入力  $CP$  の立上りで端子  $P_1$  のデータ入力  $D$  を取込み、立下りでこの取込んだデータを端子  $P_1$ 、 $P_2$  に出力する。また端子  $P_1$  のクリア入力  $CL$  及び端子  $P_1$  のプリセット入力  $PR$  が共に L レベルでないときの論理値

の場合、端子  $P_1$  (出力  $Q$ ) 及び端子  $P_2$  (出力  $\bar{Q}$ ) は図の如くなる。

次に第 1 図の動作について第 2 図 (a) 乃至 (e) に示すタイミングチャートと共に説明する。

まず電源  $V_{cc}$  をオンにすると、電源オンリセット回路 5 のトランジスタ  $Q_1$  のコレクタ出力はコンデンサ  $C_1$  が充電されるまで所定期間 H レベルが出力される。従って、NAND 回路 2、の出力 (第 2 図 (i)) が L レベル、NAND 回路 2、の出力が H レベルとなり、NAND 回路 2、の出力 (第 2 図 (k)) 即ちリセット信号  $R$  が L レベルとなる。一方セット信号  $S$  (第 2 図 (ii)) は電源  $V_{cc}$  によって H レベルとなり、RSFF 4、がリセットされてその端子  $P_1$  の出力 (第 2 図 (e)) は L レベルとなる。電源オンから所定時間経過するとコンデンサ  $C_1$  の電圧が立上りトランジスタ  $Q_1$  がオンし、そのコレクタ出力は L レベルとなる。従って NAND 回路 2、の出力は H レベルとなるが、OSM 2、の端子  $P_1$ 、 $P_2$  の各パルス入力は各々 H レベルが入力されているため、端子  $P_1$  の出

## 特開昭64-470(5)

力Q(第2図(b))はLレベルとなっている。よってNAND回路2<sub>1</sub>の出力はHレベルとなり、NAND回路2<sub>2</sub>の出力、即ちリセット信号RはLレベルを維持するため、RSFF4<sub>1</sub>の出力である走行信号A(第2図(e))はLレベルを維持する。従って駆動回路6のトランジスタQ<sub>1</sub>はオフ状態となっており電磁コイル7は駆動されない。

電源オン状態において車両が走行を開始し、回転体が回転を開始すると、回転センサ1<sub>1</sub>がこれを検出し、その検出信号を波形整形回路1<sub>1</sub>で波形整形して第2図(a)に示すパルス信号列を出力する。このパルス信号列はOSM2<sub>1</sub>, 3<sub>1</sub>の各端子P<sub>1</sub>に入力され、該OSM2<sub>1</sub>, 3<sub>1</sub>の各端子P<sub>1</sub>の出力Qは上記基本動作により第2図(b), (d)に示す如くパルス信号列の立上りによって各々期間T<sub>1</sub>, T<sub>2</sub>の矩形波信号を出力する。またOSM3<sub>1</sub>の端子P<sub>1</sub>の出力Qは出力Qの反転出力となる(第2図(d))。回転体の回転が小さくパルス信号列のパルス期間が基準パルス期間T<sub>1</sub>, T<sub>2</sub>より長いときは第2図(c)に示す如くOSM2<sub>1</sub>

, 3<sub>1</sub>の出力Qは各々期間T<sub>1</sub>, T<sub>2</sub>を経過後Lレベルとなり、次のパルス信号列の立上りで再度トリガされ矩形波を出力する。パルス信号列がかかるパルス期間のとき、OSM3<sub>1</sub>の出力Qは矩形波信号であり、波形整形回路1<sub>1</sub>の出力も同様にパルス信号列であるため、NAND回路3<sub>1</sub>の出力は波形整形回路1<sub>1</sub>の出力を反転した出力となり、NAND回路3<sub>2</sub>の出力は即ち、DFF3<sub>1</sub>, 3<sub>2</sub>の端子P<sub>1</sub>(クロック入力CP)は第2図(e)の如く波形整形回路1<sub>1</sub>の出力と同一波形となる。またDFF3<sub>1</sub>の端子P<sub>1</sub>のデータ入力は電源レベルであるからHレベルであり、端子P<sub>1</sub>のプリセット入力PRはLレベルとなっており、更に端子P<sub>1</sub>のクリア入力CL、即ちOSM3<sub>1</sub>の出力Qは第2図(d)の如く出力Qの反転パルスである。よって第4図真理値よりDFF3<sub>1</sub>の端子P<sub>1</sub>の出力Qは第2図(f)の如くLレベルとなっている。これによってDFF3<sub>1</sub>の端子P<sub>1</sub>のデータ入力DはLレベルが入力され、プリセット入力PR、クロック入力CP、クリア入力CLはDFF3<sub>1</sub>

と同様の信号が入力されるため、端子P<sub>1</sub>の出力Qは第2図(b)の如くHレベルとなっている。一方OSM2<sub>1</sub>の端子P<sub>1</sub>の出力Qは期間T<sub>1</sub>の矩形波信号となっており、よってNAND回路2<sub>1</sub>の出力は第2図(b)の如くOSM2<sub>1</sub>の出力Qと同一信号となる。従ってパルス信号列が(c)のとき、リセット信号Rは第2図(f)の如く電源V<sub>cc</sub>によりHレベルを維持するため、RSFF4<sub>1</sub>の出力(走行信号A)は第2図(e)の如くLレベルを維持し、トランジスタQ<sub>1</sub>は駆動されず、電磁コイル7も駆動されない。

次に第2図(c)に示す如く回転数が上昇し、パルス信号列の期間がOSM2<sub>1</sub>で設定されている第1の基準パルス期間T<sub>1</sub>(=R<sub>1</sub>, C<sub>1</sub>)より短くなると、上記基準動作のように出力Qは第2図(b)の如く常時Hレベルとなる。従ってNAND回路2<sub>1</sub>の出力(第2図(b))もHレベルとなるが、OSM3<sub>1</sub>の出力Q及びQは(c)の状態と同様であり、DFF3<sub>1</sub>の出力QはHレベルを維持している(第2図(b))。よってRSFF4<sub>1</sub>の出力は

反転せずにLレベルを維持するため駆動回路6及び電磁コイル7は駆動されない。

更に第2図(c)に示す如く回転数が上昇し、パルス信号列の期間がOSM3<sub>1</sub>で設定されている第2の基準パルス期間T<sub>2</sub>(=R<sub>2</sub>, C<sub>2</sub>)より短くなると、OSM3<sub>1</sub>の出力Q及び出力Qは各々第2図(b), (d)の如く常時Hレベル及びLレベルとなる。従ってNAND回路3<sub>1</sub>の出力は第2図(e)の如く(c), (c)と同様にパルス列信号と同一波形となりDFF3<sub>1</sub>, 3<sub>2</sub>のクロック入力CPに入力される。一方クリア入力CLには第2図(d)の如くLレベルが入力されるため、OSM3<sub>1</sub>の出力QがHレベルとなった後、次のパルス信号列のパルスの立上り時にDFF3<sub>1</sub>の出力Qが第2図(f)の如くHレベルとなり、更に次のパルス信号列のパルスの立上り時にDFF3<sub>1</sub>の出力Qが第2図(b)の如くLレベルに反転する。この出力QのLレベル反転時にコンデンサC<sub>1</sub>により第2図(f)の如く負の微分パルスが発生し、RSFF4<sub>1</sub>のセット信号SがLレベルとなってトリガされ、そ

## 特開昭 64-470 (6)

の出力は第 2 図 (e) の如く H レベルに反転する。よって走行信号 A が H レベルとなりトランジスタ Q<sub>1</sub> がオン状態となり電磁コイル 7 が駆動されて走行記録をチャート紙に描く。

以上の動作より、車両停止状態から速度が上昇する方向に走行するときには、該速度が第 2 の基準パルス期間 T<sub>2</sub> に対応する速度となった時に走行信号 A が出力され例えば第 6 図のチャート紙に走行状態が記録される。

次に車両速度に対応する波形整形回路 1<sub>2</sub> からのパルス信号列のパルス期間が第 2 の基準パルス期間 T<sub>2</sub> 以下の速度となっている場合においては、上記の如くリセット信号 R は H レベルであり、セット信号は負のパルス後 H レベルとなるから、RSFF 4<sub>2</sub> の出力は第 2 図 (e) の如く H レベルを維持し、駆動回路 6 及び電磁コイル 7 は駆動状態を維持している。その状態において速度を減速すると、まずパルス信号列が t<sub>2</sub> となってそのパルス期間が第 2 の基準パルス期間 T<sub>2</sub> となると、OSM 3<sub>2</sub> の端子 P<sub>2</sub>、P<sub>2</sub> の出力 Q<sub>2</sub>、Q<sub>2</sub> は第 2

図 (e)、(f) の如く期間 T<sub>2</sub> の矩形波信号となる。よって該出力 Q<sub>2</sub>、Q<sub>2</sub> の立下り及び立上り時に DFF 3<sub>2</sub> の出力 Q<sub>2</sub> は L レベルに反転し (第 2 図 (f))、DFF 3<sub>2</sub> がリセットされ、その出力 Q<sub>2</sub> は第 2 図 (h) の如く H レベルとなってコンデンサ C<sub>2</sub> の出力は第 2 図 (i) の如く正の微分パルスが出力される。一方 OSM 2<sub>2</sub> の出力 Q<sub>2</sub> は H レベルを維持しているため (第 2 図 (h))、リセット信号 R も H レベルを維持している (第 2 図 (h))。よって RSFF 4<sub>2</sub> の状態は変化せずに出力は H レベルを維持している。

更に速度が下がり t<sub>1</sub> の如くパルス信号列のパルス期間が第 1 の基準パルス期間 T<sub>1</sub> になると、OSM 2<sub>1</sub> の出力 Q<sub>1</sub> が第 2 図 (b) の如く期間 T<sub>1</sub> の矩形波信号となる。よって NAND 回路 2<sub>1</sub> の一方の入力にはこの出力 Q<sub>1</sub> が入力されるため、NAND 回路 2<sub>1</sub> の出力は第 2 図 (b) の如く OSM 2<sub>1</sub> の出力 Q<sub>1</sub> の矩形波信号と同一波形が出力される。よって RSFF 4<sub>1</sub> の端子 P<sub>1</sub>、P<sub>1</sub> には NAND 回路 2<sub>1</sub> の出力が入力され、その立下り時にリセット

信号 R が L レベルとなり、端子 P<sub>2</sub> の出力が L レベルに反転する (第 2 図 (e))。これによってトランジスタ Q<sub>1</sub> はオフ状態となり、電磁コイル 7 が駆動されなくなりチャート紙の記録を停止する。

以上より車両速度が第 2 の基準パルス期間 T<sub>2</sub> に対応する速度以上から減速する場合には、該速度が第 1 の基準パルス期間 T<sub>1</sub> に対応する速度となったときに走行信号 A の出力が停止し、走行記録動作が停止する。即ち、車両速度が上昇する方向では第 2 の基準パルス期間 T<sub>2</sub> に対応する速度で走行信号 A (判別信号) が出力され、減速する方向では第 1 の基準パルス期間 T<sub>1</sub> に対応する速度で走行信号 A の出力が停止し、走行信号 A はヒステリシスを有することになる。

第 1 及び第 2 の基準パルス期間 T<sub>1</sub>、T<sub>2</sub> を決定する抵抗 R<sub>1</sub>、R<sub>2</sub>、コンデンサ C<sub>1</sub>、C<sub>2</sub> の各定数を例えば

$$R_1 : 15 \text{ K}\Omega, C_1 : 6.8 \mu\text{F}$$

$$R_2 : 12 \text{ K}\Omega, C_2 : 6.8 \mu\text{F}$$

と設定すると、T<sub>1</sub>、T<sub>2</sub> は各々

$$T_1 = 0.102 \text{ 秒 (12.25 Hz)}$$

$$T_2 = 0.0816 \text{ 秒 (9.8 Hz)}$$

となり、各 T<sub>1</sub>、T<sub>2</sub> に対応する車両速度は例えば各々 2.3 km/時、2.8 km/時となる。

尚、上記実施例では速度記録に適用した場合について説明したが、例えば自動車用エアコンにおける車両速度の低速時の制御や高速時の警報回路等にも適用できる。

(効果)

以上の如く本発明によれば、判別信号出力のヒステリシスレベルを第 1 及び第 2 のパルス期間検出手段によって各々独立して設定できるので、速度検出精度が向上する。また回転数検出手段から発生するパルス信号列に対するヒステリシスレベルの応答性も早くなる。

## 4. 図面の簡単な説明

第 1 図は本発明に係る速度検出回路の実施例を示す回路図、

第 2 図 (a) 乃至 (e) は第 1 図回路における各部



## 特開昭 64-470 (7)

の波形を示すタイミングチャート、

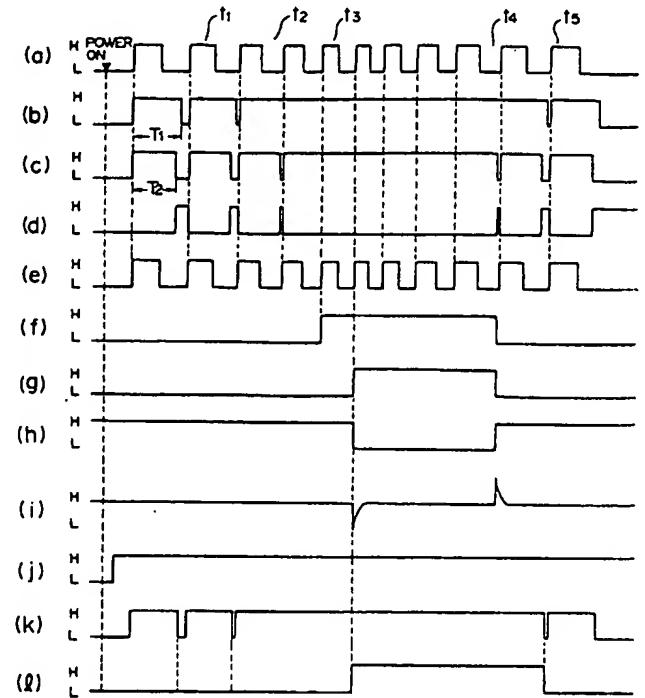
第 3 図 (a) 乃至 (c) は第 1 図における単安定マルチバイブレータの動作を示すタイミングチャート、

第 4 図は第 1 図における D タイプフリップフロップの入力に対する出力論理値の真理値を示す図、

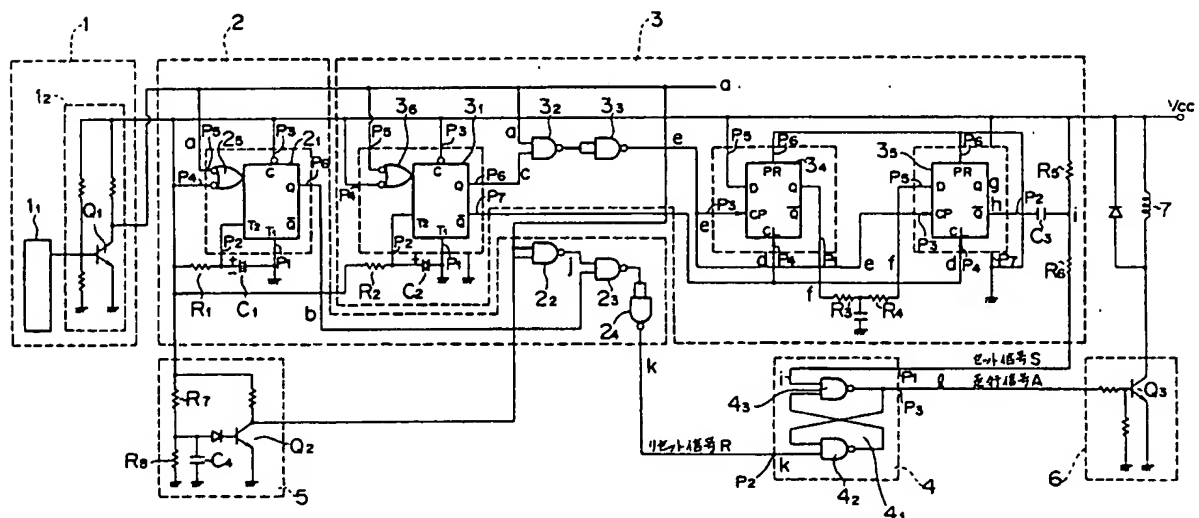
第 5 図は従来の速度検出回路を示す回路図、

第 6 図は第 1 図及び第 5 図において使用されるチャート紙を示す図である。

1 … 回転数検出手段、1<sub>1</sub> … 回転センサ、1<sub>2</sub> … 波形整形回路、2 … 第 1 のパルス期間検出手段、2<sub>1</sub> … 単安定マルチバイブレータ、2<sub>2</sub> … NAND 回路、2<sub>3</sub> … 第 2 のパルス期間検出手段、2<sub>4</sub> … 単安定マルチバイブレータ、2<sub>5</sub> … NAND 回路、2<sub>6</sub> … D タイプフリップフロップ、2<sub>7</sub> … RS フリップフロップ、2<sub>8</sub> … 電源オンリセット回路、2<sub>9</sub> … 駆動回路、2<sub>10</sub> … 電磁コイル。

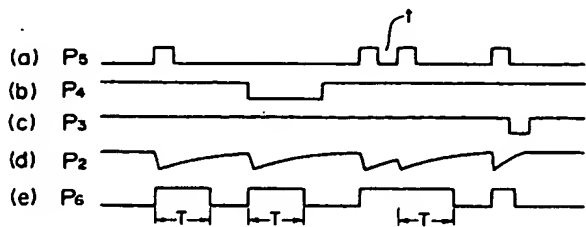


第 2 図



第 1 図

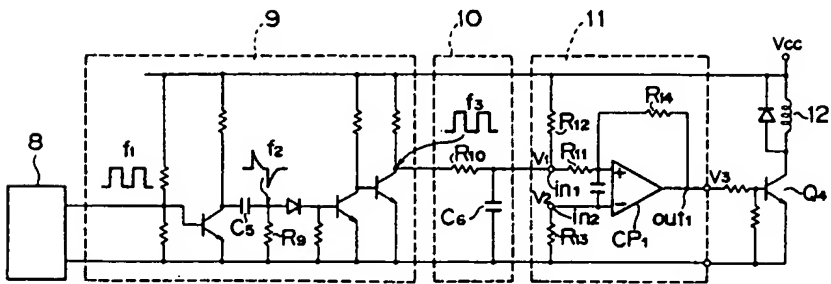
特開昭 64-470 (8)



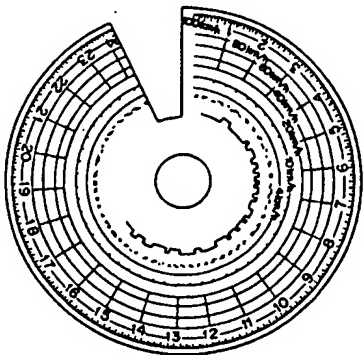
第 3 図

INPUTS				OUTPUTS	
CL	PR	D	CP <sub>Δ</sub>	Q <sub>n+1</sub>	$\bar{Q}_{n+1}$
L	H	×	×	H	L
H	L	×	×	L	H
H	H	×	×	L	H
L	L	L		L	H
L	L	H		H	L
L	L			Q <sub>n</sub>	$\bar{Q}_n$

第 4 図



第 5 図



第 6 図

特開昭 64-470 (9)

手 続 補 正 書 (方式)

昭和 6 2 年 9 月 3 日

特許庁長官 小 川 邦 夫 様宛

1. 事件の表示

昭和 6 2 年 特 許 願 第 1 5 4 5 2 7 号

2. 発明の名称

速 度 検 出 回 路

3. 補正をする者

事件との関係 特 許 出 願 人

住 所 東 京 都 港 区 三 田 1 丁 目 4 番 2 8 号

名 称 (689) 矢 崎 総 業 株 式 会 社

4. 代 理 人

住 所 東京都千代田区内幸町 2 - 1 - 1 (飯野ビル) ⑩100  
電話 東京 (502) 3171 代表

氏 名 (6069) 弁 理 士 濱 野 秀 雄



5. 補正命令の日付 昭和 6 2 年 8 月 2 5 日

6. 補正により増加する発明の数

7. 補正の対象

明細書の「図面の簡単な説明」の欄



8. 補正の内容

(1) 明細書第 2 3 頁第 2 行の「第 3 図(a)乃至(c)」を  
「第 3 図(a)乃至(e)」に訂正する。

万 々  
審 査 (H 6)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**